



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002163322 A**(43) Date of publication of application: **07.06.02**

(51) Int. Cl.

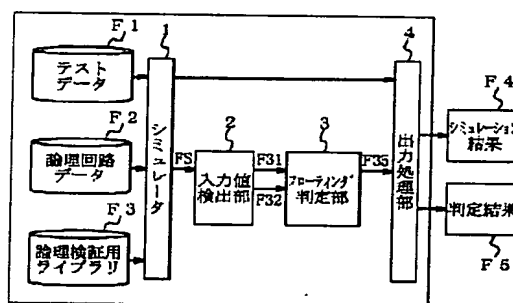
**G06F 17/50**  
**G01R 31/28**
(21) Application number: **2000363053**(71) Applicant: **NEC MICROSYSTEMS LTD**(22) Date of filing: **29.11.00**(72) Inventor: **EZAKI KUMIKO**(54) **METHOD AND DEVICE FOR VERIFYING LOGIC CIRCUIT**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To exactly detect a spot, where a through current is generated by an HiZ entry, in a logic simulation.

**SOLUTION:** This device is provided with a floating deciding part 3 for detecting a spot, where the through current is generated by gate floating of an MOS transistor caused by an HiZ value entry making the output of a verification target cell into unfixed value, on the basis of a decision function F34 prepared from the circuit chart of a real device, which does not depend on the description of a library F3 for logic simulation in a verification target circuit.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-163322

(P2002-163322A)

(43) 公開日 平成14年6月7日 (2002.6.7)

|                           |       |               |                   |
|---------------------------|-------|---------------|-------------------|
| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テ-マコード*(参考)       |
| G 0 6 F 17/50             | 6 6 4 | G 0 6 F 17/50 | 6 6 4 A 2 G 0 3 2 |
|                           | 6 7 2 |               | 6 7 2 A 5 B 0 4 6 |
| G 0 1 R 31/28             |       | G 0 1 R 31/28 | F                 |

審査請求 有 請求項の数11 O L (全 19 頁)

(21) 出願番号 特願2000-363053 (P2000-363053)

(22) 出願日 平成12年11月29日 (2000. 11. 29)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 江崎 久美子

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

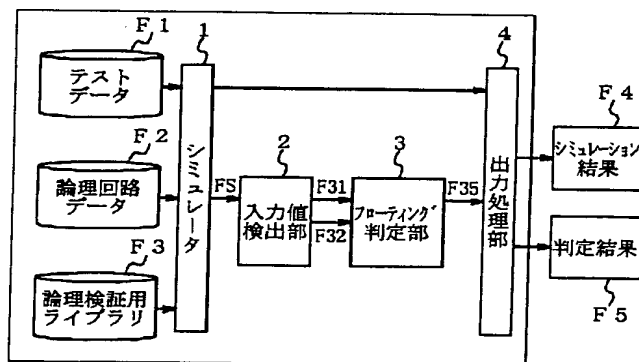
Fターム(参考) 2G032 AA01 AB20 AC08 AG02  
5B046 AA08 BA03 KA06

(54) 【発明の名称】 論理回路検証方法とその装置

(57) 【要約】

【課題】 論理シミュレーション時に、H i Z 入力による貫通電流発生箇所を正確に検出可能とする。

【解決手段】 検証対象回路の論理シミュレーション用ライブラリ F 3 の記述に依存しない実際のデバイスの回路図から作成した判定関数 F 3 4 に基づき検証対象セルの出力が不定値となる H i Z 値入力に起因する MOS トランジスタのゲートフローティングで起こる貫通電流発生箇所を検出するフローティング判定部 3 を備える。



## 【特許請求の範囲】

【請求項 1】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、

前記検証対象回路の論理シミュレーション用ライブラリの記述に依存しない実際のデバイスの回路図から作成した判定関数に基づき論理検証の対象とする前記ファンクションセルである検証対象セルの出力が不定値となる高インピーダンス（以下、H i Z）値入力に起因する MOS トランジスタのゲートフローティングで起こる貫通電流発生箇所を的確に検出することを特徴とする論理回路検証方法。

【請求項 2】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、

シミュレーション開始後、使用者が設定した検証時刻に到達した時に入力値検出部を呼び出す入力値検出部呼出ステップと、

前記検証対象回路で使用されている論理検証用ライブラリのファンクションセルである検証対象セルのセル名を獲得するセル名獲得ステップと、

前記検証対象セルに入力されるデータ入力値を獲得する入力値獲得ステップと、

前記検証対象セルの前記セル名から該当するフローティング判定の判定関数を呼び出す判定関数呼出ステップと、

前記判定関数での判定条件と一致するかを判定を行うフローティング判定ステップと、

前記フローティング判定ステップで一致する場合エラー又はワーニングと判定するエラー又はワーニング判定ステップと、

検証対象の全てのファンクションセルについて前記入力値検出部呼出ステップから前記エラー又はワーニング判定ステップまでの処理を反復するファンクションセル終了確認ステップと、

シミュレーション終了時刻まで検証時刻に到達する毎に前記前記入力値検出部呼出ステップから前記反復処理ステップまでの処理を繰り返すシミュレーション終了判定ステップとを有することを特徴とする論理回路検証方法。

【請求項 3】 前記フローティング判定ステップが、第 1 の入力信号が高インピーダンス（以下、H i Z）値であるかの判定を行う第 1 の入力信号の判定ステップと、前記第 1 の入力信号の判定ステップで H i Z 値の場合エラー又はゲートフローティングによる貫通電流発生を出力する第 1 の出力ステップと、

前記第 1 の入力信号の判定ステップで H i Z 値でない場合と前記第 1 の出力ステップの後、第 2 の入力信号が H i Z 値であるかの判定を行う第 2 の入力信号の判定ステップと、

前記第 2 の入力信号の判定ステップで H i Z 値の場合エラー又はゲートフローティングによる貫通電流発生を出力する第 2 の出力ステップと、

前記第 1 の入力信号の判定ステップで H i Z 値でない場合と前記第 2 の出力ステップの後、第 3 の入力信号が H i Z 値であるかの判定を行う第 3 の入力信号の判定ステップと、

前記第 3 の入力信号の判定ステップで H i Z 値の場合エラー又はゲートフローティングによる貫通電流発生を出力する第 3 の出力ステップとを有することを特徴とする請求項 2 記載の論理回路検証方法。

【請求項 4】 前記判定関数呼出ステップの後、該当する判定関数の有無を判定する判定関数有無判定ステップと、

判定関数がない場合に検証対象外であることを警告する検証対象外警告ステップとを有することを特徴とする請求項 2 記載の論理回路検証方法。

【請求項 5】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、

シミュレーション開始後、使用者が設定した検証時刻に到達した時に入力値検出部を呼び出す入力値検出部呼出ステップと、

前記検証対象回路で使用されている論理検証用ライブラリのファンクションセルである検証対象セルのセル名を獲得するセル名獲得ステップと、

前記検証対象セルに入力されるデータ入力値を獲得する入力値獲得ステップと、

前記検証対象セルの前記セル名から該当するフローティング判定の判定関数を呼び出す判定関数呼出ステップと、

使用者が指定した指定信号を格納した指定信号リストから前記指定信号の名称である指定信号名を受け、検出対象セルの入力信号名が指定信号名と一致しかつ入力信号値が H i Z であるかを判定する指定信号の H i Z 判定ステップと、

前記指定信号の H i Z 判定ステップで指定信号が H i Z の場合前記入力信号が直接接続されている回路の構成と無関係に全てエラーと判定するエラー判定ステップと、

前記指定信号の H i Z 判定ステップで指定信号が H i Z でない場合前記判定関数での判定条件と一致するかを判定するフローティング判定ステップと、

前記フローティング判定ステップで一致する場合エラー又はワーニングと判定するエラー又はワーニング判定ス

テップと、

検証対象の全てのファンクションセルについて前記入力値検出部呼出ステップから前記エラー又はワーニング判定ステップまでの処理を反復するファンクションセル終了確認ステップと、

シミュレーション終了時刻まで検証時刻に到達する毎に前記前記入力値検出部呼出ステップから前記反復処理ステップまでの処理を繰り返すシミュレーション終了判定ステップを有することを特徴とする論理回路検証方法。

【請求項6】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、

シミュレーション開始後、設定した検証時刻に到達した時に入力値検出部を呼び出す入力値検出部呼出ステップと、

論理検証用ライブラリから使用者が指定した指定信号が入力されているファンクションセルである検証対象セルのセル名を獲得する指定信号セル名獲得ステップと、前記検証対象セルに入力されるデータ入力値を獲得する入力値獲得ステップと、

前記検証対象セルの前記セル名から該当するフローティング判定の判定関数を呼び出す判定関数呼出ステップと、

前記使用者が作成した指定信号リストの指定信号名と検出した信号名とが一致する場合に前記判定関数での判定条件と一致するかの判定を行うフローティング判定ステップと、

前記フローティング判定ステップで一致する場合エラー又はワーニングと判定するエラー又はワーニング判定ステップと、

検証対象の全ての指定信号について前記入力値検出部呼出ステップから前記エラー又はワーニング判定ステップまでの処理を反復するファンクションセル終了確認ステップと、

シミュレーション終了時刻まで検証時刻に到達する毎に前記前記入力値検出部呼出ステップから前記反復処理ステップまでの処理を繰り返すシミュレーション終了判定ステップとを有することを特徴とする論理回路検証方法。

【請求項7】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証装置において、

前記検証対象回路の論理シミュレーション用ライブラリの記述に依存しない実際のデバイスの回路図から作成した判定関数に基づき論理検証の対象とする前記ファンク

ションセルである検証対象セルの出力が不定値となる高インピーダンス（以下、Hi Z）値入力に起因するMOSトランジスタのゲートフローティングで起こる貫通電流発生箇所を検出するフローティング判定部を備えることを特徴とする論理回路検証装置。

【請求項8】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態を論理シミュレーションして論理検証を行う論理回路検証装置において、

前記テストデータと前記論理回路データとを入力しこの論理回路データが参照する後述のファンクションセルの集まりである論理検証用ライブラリを参照して前記論理シミュレーションを行うシミュレータと、

前記シミュレータから検証対象の前記ファンクションセルである検証対象セルのセル名と入力値を抽出し出力する入力値検出部と、

抽出した前記検証対象セルのセル名と前記入力値と前記検出対象セルの実際のデバイスの回路図から作成した判定関数とに基づき前記検出対象回路が高インピーダンス入力によるゲートフローティングで貫通電流が発生するかの判定を行い判定結果のメッセージを出力するフローティング判定部と、

前記シミュレータのシミュレーション結果と前記フローティング判定部の前記メッセージに基づきシミュレーション結果と判定結果を出力する出力処理部とを備えることを特徴とする論理回路検証装置。

【請求項9】 前記フローティング判定部が、前記入力値検出部で抽出した前記セル名と前記判定関数とセル名の対応リストを参照して前記判定関数を格納した判定関数ファイルから前記検証対象セルの判定関数を選択する判定関数選択部と、

前記判定関数と前記セル名のセルの前記入力値とからゲートフローティングによる貫通電流の発生の有無を判定し判定結果をメッセージとして出力する判定部とを備えることを特徴とする請求項8記載の論理回路検証装置。

【請求項10】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態を論理シミュレーションして論理検証を行う論理回路検証装置において、

前記テストデータと前記論理回路データとを入力しこの論理回路データが参照する後述のファンクションセルの集まりである論理検証用ライブラリを参照して前記論理シミュレーションを行うシミュレータと、

前記シミュレータから検証対象の前記ファンクションセルである検証対象セルのセル名と入力値を抽出し出力する入力値検出部と、

抽出した前記検証対象セルのセル名と前記入力値と前記検出対象セルの実際のデバイスの回路図から作成した判

定関数と入力信号の種類と入力信号が接続されている回路の種類とに基づき前記検出対象回路が高インピーダンス入力によるゲートフローティングで貫通電流が発生するかの判定を行い判定結果のメッセージを出力するフローティング判定部と、

前記フローティング判定部に必要な前記入力信号の種類と前記入力信号が接続されている回路の種類を論理検用ライブラリと同一階層構造を持つSPICEネットリストから抽出するための回路構成抽出部と、

前記シミュレータのシミュレーション結果と前記フローティング判定部の前記メッセージに基づきシミュレーション結果と判定結果を出力する出力処理部とを備えることを特徴とする論理回路検証装置。

【請求項11】 検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態を論理シミュレーションして論理検証を行う論理回路検証装置において、

前記テストデータと前記論理回路データとを入力しこの論理回路データが参照する後述のファンクションセルの集まりである論理検用ライブラリを参照して前記論理シミュレーションを行うシミュレータと、

前記シミュレータから検証対象の前記ファンクションセルである検証対象セルのセル名と入力値を抽出し出力する入力値検出部と、

抽出した前記検証対象セルのセル名と前記入力値と前記検出対象セルの実際のデバイスの回路図から作成した判定関数とに基づき前記検出対象回路が高インピーダンス入力によるゲートフローティングで貫通電流が発生するかの判定を行うとともに使用者が指定した指定信号については入力信号が直接接続されている回路の構成と無関係にデータ入力値が高インピーダンス値である場合は全てエラーと判定して判定結果のメッセージを出力するフローティング判定部と、

前記シミュレータのシミュレーション結果と前記フローティング判定部の前記メッセージに基づきシミュレーション結果と判定結果を出力する出力処理部とを備えることを特徴とする論理回路検証装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は論理回路検証方法とその装置に関し、特にCMOS論理回路から成る論理LSIにおける論理回路検証方法とその装置に関する。

【0002】

【従来の技術】近年、半導体集積回路(LSI)、特にCMOS論理回路から成る論理LSIの回路規模は飛躍的に増大し、これらの開発にはCAD(コンピュータ支援設計)装置を用いて行うのが主流となっている。さらに、それらの接続規約(ルール)を手手でチェックするのは非常に困難であり、このため、自動で論理検証を行

うことにより接続規約を検証するCAD装置を用いた方法が広く行われている。

【0003】この種の論理検証として、検証対象回路の論理回路データとテストデータとに基づき検証対象回路の論理回路データのネット値を観測することにより、動作状態をシミュレーションして論理検証を行う動的論理検証と、検証対象回路の接続情報を示すネットリストと論理回路の回路情報を示すライブラリとを用いて検証ルールに基づいて論理回路の接続状態が正しいか否かを判定する静的論理検証がある。

【0004】プロセスの微細化が進む中、民生機器やモバイル用途では以前にもまして待機状態(スタンバイモード)における電力消費が問題となってきた。実際のデバイスでの評価時に消費電力大の問題が発見されることは大きな後戻りを生じさせ、製品の市場投入時期を遅らせることになる。本問題の設計上の原因として高インピーダンス(以下、HiZ)入力によるMOSトランジスタのゲートフローティングで起こる貫通電流があげられる。すなわち、HiZ入力によりゲート電位が不安定となり中間電位のときにPチャネルランジスタおよびNチャネルトランジスタが同時にオンすることによる貫通電流が発生する。本原因はゲートレベルでの論理シミュレーションにより発見できる要因である。しかしながら、従来の論理回路検証方法とその装置では、HiZ入力によるゲートフローティングを検出できたとしても、その検出箇所には論理シミュレーション用に付加した実際のデバイスには存在しない付加記述素子に起因するX値発生個所の検出箇所である擬似エラーを含むという問題があった。

【0005】従来の動的論理検証システムの例である、特開平06-016646号公報記載の従来の第1の論理検証装置をブロックで示す図17を参照すると、この従来の第1の論理回路検証装置は、テストデータF101とシミュレーションの対象となる論理回路データF102とを入力しシミュレーションを行うシミュレータ101と、シミュレータ101の出力したネット値“0”、“1”、“不定値(X)”を検出する出力検出部102と、出力検出部102の検出結果を処理しシミュレーション結果F103を出力する出力処理部103とを備える。

【0006】出力検出部102は、“0”を検出する“0”検出部1021と、“1”を検出する“1”検出部1022と、“X”を検出する“X”検出部1023とを備える。

【0007】次に、図17を参照して従来の第1の論理回路検証装置の動作について説明すると、テストデータF101と回路構造を記述した論理回路データF102をシミュレータ101に入力する。シミュレータ101は、検証対象の論理回路の論理素子出力の値、すなわちネット値を出力する。出力検出部102は、シミュレー

タ101が出力したネット値のうち“0”、“1”、“X”だけ検出し、出力処理部103に出力する。出力処理部103は、入力したネット値とその変化を“0”から“1”かつ“1”から“0”の変化をしたもの、“1”にならないもの、“0”にならないもの、ずっと“X”のままであるものをそれぞれ集計し、どのネットがどの動作をしたかを分析してシミュレーション結果F103として出力する。

【0008】しかしながら、上述した従来の第1の論理検証装置では、論理シミュレーションでネット値に不定(X)値が発生する箇所を検出しているが、検出したX値発生箇所は実際のデバイスにおいて、HiZ値入力によるゲートフローティングで貫通電流が発生する箇所(以下、真のエラー)と同一箇所ではない場合があった。

【0009】その理由は、論理シミュレーション用ライブラリには論理シミュレータに依存した遅延値の貼り付けや論理整合性をとるための実際には存在しないバッファ等を付加した付加記述があり、このような論理シミュレーション用ライブラリの論理シミュレーションによりHiZ入力によるX発生を検出した場合、X値発生箇所は上記付加記述したバッファ等(以下、付加記述素子)でもあり得る。従って、X値発生箇所はシミュレーション用ライブラリ記述に依存し、X値発生箇所が実際のデバイスでは発生しない上記付加記述素子をも検出することになる(以下、検出した付加記述素子によるX値発生箇所を疑似エラーと呼ぶ)ためである。

【0010】論理シミュレーション用ライブラリの一例としてトリステートバッファの論理記述を模式的に回路図で表した図19(A)を参照すると、データ信号Dの入力に応じてデータ信号D0を出力するバッファB11と、コントロール信号ENの入力に応じてコントロール信号EN0を出力するバッファB12と、コントロール信号EN0の値が1のときデータ信号D0の入力に応じて出力信号Qを出力するトリステートバッファB13とを有する。ここで、バッファB11は遅延値整合用の付加記述素子であり、実際のデバイスには存在しない。論理シミュレーションにおいて、データ信号DにHiZを入力した(設定した)場合、コントロール信号ENの値と無関係にバッファB11の出力のデータ信号D0はXとなる。すなわち、X値発生箇所は、実際のデバイスには存在しないバッファB11であり、疑似エラーとなる。

【0011】また、データ信号DにHiZを入力した場合でもコントロール信号ENが0の場合は、トリステートバッファB13を構成する論理素子の出力にゲートのフローティングによる貫通電流は発生しないため、真のエラーに無関係な疑似エラーを出力する。

【0012】すなわち、従来の第1の論理検証装置では、検出したX値発生箇所に疑似エラーも含まれている

ため真のエラー検出のためには、出力したX値発生箇所検出結果を解析する時間が必要であった。さらに、疑似エラーの多さから真のエラーを見逃すこともあった。

【0013】従来の静的論理検証システムの例である、特開平10-334124号公報記載の従来の第2の論理検証装置をブロックで示す図18を参照すると、この従来の第2の論理回路検証装置は、論理回路図を作成する論理回路図作成装置201と、論理回路図作成装置201で作成した回路図の論理回路相互間の接続情報を示すネットリストを入力するネットリスト入力部202と、論理回路の回路情報を示すライブラリを入力するライブラリ入力部203と、検証を行う検証部204と、検証結果を出力するエラー/ワーニング出力部205と、論理回路の検証ルールを記憶した検証ルール記憶領域206とを備える。

【0014】次に、図18を参照して従来の第2の論理回路検証装置の動作について説明すると、入力されたネットリストのトリステートバッファに着目し、このトリステートバッファのコントロール端子の接続状態とライブラリの情報とから検証ルールに従ってHiZ状態でのゲートのフローティングが発生する(フローティングエラー)かを判定する。なお、この例の上記ライブラリの情報は、論理回路の回路情報としてトリステートバッファのコントロール端子のレベル状態と出力値の関係を記述したものである。また、上記検証ルールは、トリステートバッファがHiZ状態になると判断した場合に、トリステートバッファの出力ピンが次段の論理回路の1つの入力に接続されているときにフローティングエラーとする。

【0015】この、従来の第2の論理検証装置では、トリステートバッファのコントロール端子の接続状態とからHiZ値出力の可能性を判断し、トリステートバッファ出力信号の共有数から次段の論理回路のゲートにフローティングが発生するかを判定しているため、コントロール端子が電源VDD、接地GNDに直接接続されていない場合はコントロール端子へ入力される信号値はシミュレーションを行わなければ判明しないため正確なHiZ入力によるゲートフローティングを検出できない。

【0016】従来の第2の論理回路検証装置の検証箇所のライブラリの論理記述を模式的に回路図で示す図19(B)を参照すると、コントロール信号EN1の値に応じて出力のオンオフを行い入力したデータ信号Dに応じた出力のデータ信号Q1の出力を制御するトリステートバッファB21と、データ信号Q1の供給を受けデータ信号Q2を出力する論理回路(バッファ)B22と、コントロール信号EN2の値に応じて出力のオンオフを行い入力したデータ信号Q2に応じた出力信号Q3の出力を制御するトリステートバッファB23とを有する。

【0017】検証部204は、ライブラリ入力部203からの上記ライブラリ論理記述に基づき、トライステートバッファB21のコントロール信号EN1の値に依存してトライステートバッファB21の出力のデータ信号Q1としてHiZが出力される可能性を判断し、HiZが出力されデータ信号Q1が単独で次段のバッファB22に接続（入力）されている場合をフローティングエラー（HiZ入力によるゲートフローティング発生）と判断している。

【0018】しかし、次段のバッファB22は論理検証用ライブラリに追加された疑似のバッファであり、バッファB21のコントロール信号EN1の値は、コントロール信号EN1の入力するコントロール端子が直接電源VDD、又は接地GNDに接続されていない場合は、シミュレーションしなければ判明せず、次段のバッファB22の出力データ信号Q2が接続（入力）されている次段のトライステートバッファB23がコントロール信号EN2で制御されている場合、コントロール信号EN2がオフしていればこのトライステートバッファB23では貫通電流が発生しない。

【0019】しかし、従来の第2の論理回路検証装置では、上述したように、トライステートバッファB21で必ずフローティングエラーを検出するため、疑似エラーが発生する可能性がある。

【0020】

【発明が解決しようとする課題】上述した従来の第1の論理回路検証方法とその装置は、論理シミュレーションでネット値に不定（X）値が発生する箇所を検出しているが、論理シミュレーション用ライブラリに論理シミュレータに依存した遅延値の貼り付けや論理整合性をとるための実際には存在しないバッファ等の付加記述素子に起因したX値発生箇所である疑似エラーを含むため、検出したX値発生箇所は実際のデバイスにおいて、高インピーダンス（HiZ）値入力によるゲートフローティングで貫通電流が発生する箇所である真のエラーと同一箇所ではない、すなわち、検出したX値発生箇所に疑似エラーも含まれているため、真のエラー検出のためには、出力したX値発生箇所検出結果を解析する時間が必要であるという欠点があった。

【0021】また、疑似エラーの多さから真のエラーを見逃すこともあるという欠点があった。

【0022】また、従来の第2の論理回路検証方法とその装置は、トライステートバッファのコントロール端子の接続状態とからHiZ値出力の可能性を判断し、トライステートバッファ出力信号の共有数から次段の論理回路のゲートにフローティングが発生するかを判定しているため、コントロール端子が電源VDD、接地GNDに直接接続されていない場合は、コントロール端子への入力信号値はシミュレーション実施によらなければ不明なことににより正確なHiZ入力によるゲートフローティン

グを検出できないため、疑似エラーが発生する可能性があるという欠点があった。

【0023】本発明の目的は、論理シミュレーション時に、HiZ入力によりゲート電位が不安定となり中間電位のときにPチャネルランジスタおよびNチャネルランジスタが同時にオンすることによる貫通電流発生箇所を正確に検出できる論理回路検証方法とその装置を提供することにある。

【0024】

10 【課題を解決するための手段】請求項1記載の発明の論理回路検証方法は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、前記検証対象回路の論理シミュレーション用ライブラリの記述に依存しない実際のデバイスの回路図から作成した判定関数に基づき論理検証の対象とする前記ファンクションセルである検証対象セルの出力が不定値となる高インピーダンス（以下、HiZ）値入力に起因するMOSトランジスタのゲートフローティングで起こる貫通電流発生箇所を的確に検出することを特徴とするものである。

20 【0025】請求項2記載の発明の論理回路検証方法は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、シミュレーション開始後、使用者が設定した検証時刻に到達した時に入力値検出部を呼び出す入力値検出部呼出ステップと、前記検証対象回路で使用されている論理検証用ライブラリのファンクションセルである検証対象セルのセル名を獲得するセル名獲得ステップと、前記検証対象セルに入力されるデータ入力値を獲得する入力値獲得ステップと、前記検証対象セルの前記セル名から該当するフローティング判定の判定関数を呼び出す判定関数呼出ステップと、前記判定関数での判定条件と一致するかの判定を行うフローティング判定ステップと、前記フローティング判定ステップで一致する場合エラー又はワーニングと判定するエラー又はワーニング判定ステップと、検証対象の全てのファンクションセルについて前記入力値検出部呼出ステップから前記エラー又はワーニング判定ステップまでの処理を反復するファンクションセル終了確認ステップと、シミュレーション終了時刻まで検証時刻に到達する毎に前記前記入力値検出部呼出ステップから前記反復処理ステップまでの処理を繰り返すシミュレーション終了判定ステップとを有することを特徴とするものである。

30 【0026】また、請求項3記載の発明は、請求項2記載の論理回路検証方法において、前記フローティング判定ステップが、第1の入力信号が高インピーダンス（以

下、 $H_i Z$ ) 値であるかの判定を行う第 1 の入力信号の判定ステップと、前記第 1 の入力信号の判定ステップで  $H_i Z$  値の場合エラー又はゲートフローティングによる貫通電流発生を出力する第 1 の出力ステップと、前記第 1 の入力信号の判定ステップで  $H_i Z$  値でない場合と前記第 1 の出力ステップの後、第 2 の入力信号が  $H_i Z$  値であるかの判定を行う第 2 の入力信号の判定ステップと、前記第 2 の入力信号の判定ステップで  $H_i Z$  値の場合エラー又はゲートフローティングによる貫通電流発生を出力する第 2 の出力ステップと、前記第 1 の入力信号の判定ステップで  $H_i Z$  値でない場合と前記第 2 の出力ステップの後、第 3 の入力信号が  $H_i Z$  値であるかの判定を行う第 3 の入力信号の判定ステップと、前記第 3 の入力信号の判定ステップで  $H_i Z$  値の場合エラー又はゲートフローティングによる貫通電流発生を出力する第 3 の出力ステップとを有することを特徴とするものである。

【0027】また、請求項 4 記載の発明は、請求項 2 記載の論理回路検証方法において、前記判定関数呼出ステップの後、該当する判定関数の有無を判定する判定関数有無判定ステップと、判定関数がない場合に検証対象外であることを警告する検証対象外警告ステップとを有することを特徴とするものである。

【0028】請求項 5 記載の発明の論理回路検証方法は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、シミュレーション開始後、使用者が設定した検証時刻に到達した時に入力値検出部を呼び出す入力値検出部呼出ステップと、前記検証対象回路で使用されている論理検証用ライブラリのファンクションセルである検証対象セルのセル名を獲得するセル名獲得ステップと、前記検証対象セルに入力されるデータ入力値を獲得する入力値獲得ステップと、前記検証対象セルの前記セル名から該当するフローティング判定の判定関数を呼び出す判定関数呼出ステップと、使用者が指定した指定信号を格納した指定信号リストから前記指定信号の名称である指定信号名を受け、検出対象セルの入力信号名が指定信号名と一致しかつ入力信号値が  $H_i Z$  であるかを判定する指定信号の  $H_i Z$  判定ステップと、前記指定信号の  $H_i Z$  判定ステップで指定信号が  $H_i Z$  の場合前記入力信号が直接接続されている回路の構成と無関係に全てエラーと判定するエラー判定ステップと、前記指定信号の  $H_i Z$  判定ステップで指定信号が  $H_i Z$  でない場合前記判定関数での判定条件と一致するかを判定するフローティング判定ステップと、前記フローティング判定ステップで一致する場合エラー又はワーニングと判定するエラー又はワーニング判定ステップと、検証対象の全てのファンクションセルについて前記入力値検

出部呼出ステップから前記エラー又はワーニング判定ステップまでの処理を反復するファンクションセル終了確認ステップと、シミュレーション終了時刻まで検証時刻に到達する毎に前記前記入力値検出部呼出ステップから前記反復処理ステップまでの処理を繰り返すシミュレーション終了判定ステップとを有することを特徴とするものである。

【0029】請求項 6 記載の発明の論理回路検証方法は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、シミュレーション開始後、設定した検証時刻に到達した時に入力値検出部を呼び出す入力値検出部呼出ステップと、論理検証用ライブラリから使用者が指定した指定信号が入力されているファンクションセルである検証対象セルのセル名を獲得する指定信号セル名獲得ステップと、前記検証対象セルに入力されるデータ入力値を獲得する入力値獲得ステップと、前記検証対象セルの前記セル名から該当するフローティング判定の判定関数を呼び出す判定関数呼出ステップと、前記使用者が作成した指定信号リストの指定信号名と検出した信号名とが一致する場合に前記判定関数での判定条件と一致するかを判定を行うフローティング判定ステップと、前記フローティング判定ステップで一致する場合エラー又はワーニングと判定するエラー又はワーニング判定ステップと、検証対象の全ての指定信号について前記入力値検出部呼出ステップから前記エラー又はワーニング判定ステップまでの処理を反復するファンクションセル終了確認ステップと、シミュレーション終了時刻まで検証時刻に到達する毎に前記前記入力値検出部呼出ステップから前記反復処理ステップまでの処理を繰り返すシミュレーション終了判定ステップとを有することを特徴とするものである。

【0030】請求項 7 記載の発明の論理回路検証装置は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証装置において、前記検証対象回路の論理シミュレーション用ライブラリの記述に依存しない実際のデバイスの回路図から作成した判定関数に基づき論理検証の対象とする前記ファンクションセルである検証対象セルの出力が不定値となる高インピーダンス（以下、 $H_i Z$ ）値入力に起因する MOS トランジスタのゲートフローティングで起こる貫通電流発生箇所を検出するフローティング判定部を備えて構成される。

【0031】請求項 8 記載の発明の論理回路検証装置は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクシ



ョンセルの出力の値であるネット値を観測することにより、動作状態を論理シミュレーションして論理検証を行う論理回路検証装置において、前記テストデータと前記論理回路データとを入力しこの論理回路データが参照する後述のファンクションセルの集まりである論理検証用ライブラリを参照して前記論理シミュレーションを行うシミュレータと、前記シミュレータから検証対象の前記ファンクションセルである検証対象セルのセル名と入力値を抽出し出力する入力値検出部と、抽出した前記検証対象セルのセル名と前記入力値と前記検出対象セルの実際のデバイスの回路図から作成した判定関数とに基づき前記検出対象回路が高インピーダンス入力によるゲートフローティングで貫通電流が発生するかの判定を行い判定結果のメッセージを出力するフローティング判定部と、前記シミュレータのシミュレーション結果と前記フローティング判定部の前記メッセージに基づきシミュレーション結果と判定結果を出力する出力処理部とを備えて構成される。

【0032】また、請求項9記載の発明は、請求項8記載の論理回路検証装置において、前記フローティング判定部が、前記入力値検出部で抽出した前記セル名と前記判定関数とセル名の対応リストを参照して前記判定関数を格納した判定関数ファイルから前記検証対象セルの判定関数を選択する判定関数選択部と、前記判定関数と前記セル名のセルの前記入力値とからゲートフローティングによる貫通電流の発生の有無を判定し判定結果をメッセージとして出力する判定部とを備えて構成される。

【0033】請求項10記載の発明の論理回路検証装置は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態を論理シミュレーションして論理検証を行う論理回路検証装置において、前記テストデータと前記論理回路データとを入力しこの論理回路データが参照する後述のファンクションセルの集まりである論理検証用ライブラリを参照して前記論理シミュレーションを行うシミュレータと、前記シミュレータから検証対象の前記ファンクションセルである検証対象セルのセル名と入力値を抽出し出力する入力値検出部と、抽出した前記検証対象セルのセル名と前記入力値と前記検出対象セルの実際のデバイスの回路図から作成した判定関数と入力信号の種類と入力信号が接続されている回路の種類とに基づき前記検出対象回路が高インピーダンス入力によるゲートフローティングで貫通電流が発生するかの判定を行い判定結果のメッセージを出力するフローティング判定部と、前記フローティング判定部に必要な前記入力信号の種類と前記入力信号が接続されている回路の種類を論理検証用ライブラリと同一階層構造を持つS P I C E ネットリストから抽出するための回路構成抽出部と、前記シミュレータのシミュレーション結果と前記フローティン

グ判定部の前記メッセージに基づきシミュレーション結果と判定結果を出力する出力処理部とを備えて構成される。

【0034】請求項11記載の発明の論理回路検証装置は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態を論理シミュレーションして論理検証を行う論理回路検証装置において、前記テストデータと前記論理回路データとを入力しこの論理回路データが参照する後述のファンクションセルの集まりである論理検証用ライブラリを参照して前記論理シミュレーションを行うシミュレータと、前記シミュレータから検証対象の前記ファンクションセルである検証対象セルのセル名と入力値を抽出し出力する入力値検出部と、抽出した前記検証対象セルのセル名と前記入力値と前記検出対象セルの実際のデバイスの回路図から作成した判定関数とに基づき前記検出対象回路が高インピーダンス入力によるゲートフローティングで貫通電流が発生するかの判定を行うとともに使用者が指定した指定信号については入力信号が直接接続されている回路の構成と無関係にデータ入力値が高インピーダンス値である場合は全てエラーと判定して判定結果のメッセージを出力するフローティング判定部と、前記シミュレータのシミュレーション結果と前記フローティング判定部の前記メッセージに基づきシミュレーション結果と判定結果を出力する出力処理部とを備えて構成される。

【0035】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0036】本発明の実施の形態の論理回路検証方法は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証方法において、上記検証対象回路の論理シミュレーション用ライブラリの記述に依存しない実際のデバイスの回路図から作成した判定関数に基づき論理検証の対象とする上記ファンクションセルである検証対象セルの出力が不定値となる高インピーダンス（以下、H i Z）値入力に起因するM O S トランジスタのゲートフローティングで起こる貫通電流発生箇所を的確に検出することを特徴とするものである。

【0037】また、本実施の形態の論理回路検証方法を行う論理回路検証装置は、検証対象回路の論理回路データとテストデータとに基づき検証対象の論理回路の論理素子であるファンクションセルの出力の値であるネット値を観測することにより、動作状態をシミュレーションして論理検証を行う論理回路検証装置において、上記検証対象回路の論理シミュレーション用ライブラリの記述

に依存しない実際のデバイスの回路図から作成した判定関数に基づき論理検証の対象とする上記ファンクションセルである検証対象セルの出力が不定値となるH i Z値入力に起因するMOSトランジスタのゲートフローティングで起こる貫通電流発生箇所を検出するフローティング判定部を備えることを特徴とするものである。

【0038】次に、本発明の第1の実施の形態をブロックで示す図1を参照すると、この図に示す本実施の形態の論理回路検証方法を実施する論理回路検証装置は、論理シミュレータに供給するテストデータF1と検証対象データである論理回路データF2とを入力し論理回路データF2が参照する後述のファンクションセルの集まりである論理検証用ライブラリF3を参照して論理シミュレーションを行うシミュレータ1と、シミュレータ1から検証対象のファンクションセル（以下、検証対象セル）FSのセル名F31と入力値F32を抽出し出力する入力値検出部2と、入力値検出部2で抽出した検証対象セルのセル名F31と入力値F32と検出対象セルの実際のデバイスの回路図から作成した後述の判定関数F34とに基づき検出対象回路がH i Z入力によるゲートフローティングで貫通電流が発生するかの判定を行い判定結果のメッセージF35を出力するフローティング判定部3と、シミュレータ1のシミュレーション結果とフローティング判定部3のメッセージF35に基づきシミュレーション結果F4と判定結果F5を出力する出力処理部4とを備える。

【0039】フローティング判定部3の詳細な構成をブロックで示す図2を参照すると、この図に示す本実施の形態を特徴付けるフローティング判定部3は、入力値検出部2で抽出したセル名F31と判定関数とセル名の対応リストF33を参照して判定関数ファイルF34から検証対象のファンクションセルの判定関数F34を選択する判定関数選択部31と、判定関数F34とセル名F31のセルの入力値F32とからゲートフローティングによる貫通電流の発生の有無を判定し判定結果をメッセージF35として出力する判定部32とを備える。

【0040】次に、図1を参照して本実施の形態の動作について説明すると、テストデータF1はシミュレータ1に供給するシミュレーションのための入力信号であり、論理回路データF2は検証の対象とする論理回路のデータである。また、論理検証用ライブラリF3は、シミュレーション用に記述した論理回路の最小の論理（論理素子）であるバッファ、インバータ、AND、OR、フリップフロップ等を定義したモジュールであるファンクションセルの集まりであり、シミュレーション時に論理回路データF2が参照する。

【0041】まず、シミュレータ1は、テストデータF1と論理回路データF2とを入力し論理検証用ライブラリF3を参照して論理シミュレーションを行う。入力値検出部2は、使用者が設定した検証時刻に到達すると、

この検証時刻において、論理検証用ライブラリF3から論理回路データF2が使用している、すなわち、検証中のファンクションセル（以下、検証対象セル）のセル名F31を抽出し、この検証対象セルに入力された入力値F32をシミュレータ1から抽出する。フローティング判定部3は、入力値検出部2で抽出した検証対象セルのセル名F31と入力値F32とを入力とし、テストデータF1対応の入力信号が直接接続されている回路（以下、直接入力回路）にH i Z入力によるゲートフローティングで貫通電流が発生するかの判定を行い、判定結果のメッセージF35を出力する。出力処理部4は、シミュレータ1のシミュレーション結果4を出力すると共に、フローティング判定部3の判定結果のメッセージF35を受けて判定結果F5を出力する。

【0042】次に、図2を参照して、フローティング判定部3の動作の詳細について説明すると、このフローティング判定部3は、論理検証用ライブラリF3に格納されているファンクションセルのうちの検証対象セルのセル名と入力信号値と直接入力回路からH i Z入力によるゲートフローティングによる貫通電流発生の有無を判断するものである。

【0043】フローティング判定部3は、まず、入力値検出部2で抽出したセル名F31とセルの入力値F32を受け取り、判定関数選択部31で判定関数とセル名の対応リストF33から判定関数F34を呼び出し、判定部32に入力する。次に、判定部32は、判定関数F34に対し入力値F32がゲートフローティングによる貫通電流を発生させる場合にエラーと判定する。また、入力信号がセット／リセット信号の場合はワーニングと判定する。このようなセット／リセット信号の情報は、予め判定関数内に設定しておく。最後に、判定部32は判定結果を出力用のメッセージF35として出力する。

【0044】判定関数F34は、実際のデバイスの回路図から人手により作成する。

【0045】フローティング判定部3の判定関数F34の判定方法の一例を示す表1を参照すると、まず、入力信号がデータ信号と制御信号である場合、直接入力回路がバッファ又はインバータであるならば、データ入力値がH i Zの場合はエラーと判定し、データ入力値がH i Z以外の場合は正常と判定する。また、直接入力回路がトライステートバッファまたはクロックドインバータであるならば、データ入力値がH i Zかつ制御信号がオンの場合にエラーと判定し、上記以外の場合は正常と判定する。さらに、直接入力回路が上記以外の組み合わせ回路であるならば、データ入力値がH i Zかつ他の信号がゲートをオフしない組み合わせの場合にエラーと判定し、上記以外の場合は正常と判定する。

【0046】次に、入力信号がセット／リセット信号の場合は、データ入力値がH i Zならば全てワーニングと判定し、上記以外の場合は正常と判定する。

【0047】

【表1】

| 入力信号の種類        | 入力信号が直接接続されている回路の種類       | 判定条件                                      | 判定    |
|----------------|---------------------------|---|-------|
| データ信号<br>制御信号  | バッファ<br>インバータ             | データ入力値=H i Z                              | エラー   |
|                |                           | 上記以外                                      | 正常    |
|                | トライステートバッファ<br>クロックドインバータ | データ入力値=H i Zと<br>制御信号がONの場合               | エラー   |
|                |                           | 上記以外                                      | 正常    |
|                | 上記以外の<br>組み合わせ回路          | データ入力値=H i Zと他の信号との<br>組み合わせで回路の出力にX発生の場合 | エラー   |
|                |                           | 上記以外                                      | 正常    |
| セット/<br>リセット信号 | 全て                        | データ入力値=H i Z                              | ワーニング |
|                |                           | 上記以外                                      | 正常    |

【0048】以上詳細に実施例の構成を述べたが、シミュレータ1は、任意の時刻に検証対象回路の任意のネット値を抽出できる論理シミュレータ（例えばVerilogシミュレータ）であればよく、この種の論理シミュレータは当業者にとって周知であり、また本発明とは直接関係しないので、その詳細な構成は省略する。

【0049】次に、本実施の形態の論理回路検証方法の処理フローをフローチャートで示す図3を参照して本実施の形態の論理回路検証方法について説明すると、シミュレーション開始後、使用者が設定した検証を希望する時刻である検証時刻に到達した時（ステップS1）に入力値検出部2を呼び出す。

【0050】次に、検証対象となっている回路で使用されている論理検証用ライブラリF3のファンクションセル（検証対象セル）のセル名を獲得し（ステップS2）、次に、論理シミュレーションの検証対象セルに入

力されるデータ入力値を獲得する（ステップS3）。【0051】次に、検証対象セルのセル名から該当するフローティング判定の判定関数を呼び出す（ステップS4）。この判定関数での判定条件と一致するかフローティング判定を行い（ステップS5）、一致するならばエラーまたはワーニングと判定する（ステップS6）。

【0052】検証対象の全てのファンクションセルについてステップS2～S6の判定処理を実施し（ステップS7）、シミュレーション終了時刻まで検証時刻に到達する毎にステップS1～S7の処理を繰り返す（ステップS8）。

【0053】論理検証用ライブラリF3の回路記述の構造（以下、ライブラリ回路記述）の一例を模式的に及び対応する実際のデバイスの回路構造（以下、実回路）の一例をそれぞれ回路図で示す図4（A）及び図4（B）を併せて参照して、本実施の形態の動作を具体的に説明すると、まず、図4（A）に示すライブラリ回路記述は、入力データ信号Dの入力に応じてデータ信号D1を出力するバッファB1と、クロック信号CLKの入力に応じてクロック信号CLK1を出力するバッファB2

と、データ信号D1とクロック信号CLKとリセット信号RESが入力し出力信号Qを出力するセル名FF1\_\_1のリセット付のフリップフロップFF1とを有する。

【0054】対応する図4（B）の実回路はセル名FF1\_\_1で表されるリセット付のフリップフロップFF1のみから成り、このフリップフロップFF1Aは、クロックCK1、CKBで制御され入力データ信号Dの入力に応じてデータ信号D1を出力するクロックドインバータG1と、クロック信号CLKの入力に応じてクロック信号CKBを出力するインバータG2と、クロック信号CKBの入力に応じてクロック信号CK1を出力するインバータG3と、データ信号D1とクロック信号CKB、CK1とリセット信号RESが入力し出力信号Qを出力する論理回路G4とを有する。

【0055】次に、判定関数とセル名の対応リストF3の一例をテーブル形式で示す図5を参照すると、この図には例としてインバータの判定関数check\_\_inv、と、NANDゲートの判定関数check\_\_nandと、フリップフロップの判定関数check\_\_ffについて示し、例えば、フリップフロップの判定関数check\_\_ffは、入力信号数3、セル名FF1\_\_1、FF1\_\_2、FF1\_\_3、FF1\_\_4等の情報を示されている。

【0056】説明の便宜上、リセット付フリップフロップFF1のセル名がFF1\_\_1、入力データ信号DがHiZ、クロック信号CLKが”1”、リセット信号RESが”0”であるものとする。

【0057】この場合、上述した従来の第1の論理検証手法では、ライブラリ回路記述におけるデータ信号Dが入力されるバッファB1の出力データ信号D1で不定値Xを検出するため、擬似エラーを報告する。

【0058】本実施の形態では、まず、入力値検出部2は検出したセル名FF1\_\_1とデータ入力値、すなわち、入力データ信号D=HiZ、クロック信号CLK=”1”、リセット信号RES=”0”をフローティング判定部3に供給する。

【0059】フローティング判定部3は、判定関数選択部31が対応リストF33から、検証対象セルであるセル名FF1\_\_1と一致するセル名FF1\_\_1が含まれる判定関数check\_ffを選択する。

【0060】次に、判定部32は、選択した判定関数check\_ffを用い、検出対象セルFF1\_\_1について、表1の判定条件に従って判定を行う。

【0061】判定関数による判定ステップS5において、リセット付フリップフロップの判定関数check\_ffによる判定方法をフローチャートで示す図6を参照すると、入力信号AがHiZ値であるかの判定を行うステップS51と、ステップS51でYesの場合エラー又はゲートフローティングによる貫通電流発生を出力するステップS52と、ステップS51でNoの場合とステップS52の後、入力信号BがHiZ値であるかの判定を行うステップS53と、ステップS53でYesの場合エラー又はゲートフローティングによる貫通電流発生を出力するステップS54と、ステップS53でNoの場合とステップS54の後、入力信号CがHiZ値\*

\*であるかの判定を行うステップS55と、ステップS55でYesの場合エラー又はゲートフローティングによる貫通電流発生を出力するステップS56とを有する。

【0062】この図で示す入力信号AはクロックCLKを、入力信号Bはデータ信号Dを、入力信号Cはリセット信号RESをそれぞれ表す。上記想定により、入力信号Aが“1”、入力信号BがHiZ、入力信号Cが“0”であり、従って、入力信号Aの判定ステップS51、入力信号Bの判定ステップS53、入力信号Cの判定ステップS55はいずれも“No”を選択し、判定結果はエラー及びワーニングのいずれにもならない。

【0063】表2はリセット付きフリップフロップの入力信号の組み合わせで本実施の形態の検出方法によるフローティング判定のエラー及びワーニングを従来の第1の論理検証手法によるX発生を検出によるエラーと比較して示したものである。

【0064】

【表2】

| D   | CLK | RES | 従来手法の判定 | 本発明の判定 | エラー/ワーニングの検出内容                                 |
|-----|-----|-----|---------|--------|--|
| 0   | 0   | 0   | 正常      | 正常     |  |
| 0   | 0   | 1   | 正常      | 正常     |  |
| 0   | 0   | HiZ | エラー     | エラー    | ワーニング：リセット信号がHiZ                               |
| 0   | 1   | 0   | 正常      | 正常     |  |
| 0   | 1   | 1   | 正常      | 正常     |  |
| 0   | 1   | HiZ | エラー     | エラー    | ワーニング：リセット信号がHiZ                               |
| 0   | HiZ | 0   | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生                       |
| 0   | HiZ | 1   | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生                       |
| 0   | HiZ | HiZ | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生/ワーニング：リセット信号がHiZ      |
| 1   | 0   | 0   | 正常      | 正常     |  |
| 1   | 0   | 1   | 正常      | 正常     |  |
| 1   | 0   | HiZ | エラー     | エラー    | ワーニング：リセット信号がHiZ                               |
| 1   | 1   | 0   | 正常      | 正常     |  |
| 1   | 1   | 1   | 正常      | 正常     |  |
| 1   | 1   | HiZ | エラー     | エラー    | ワーニング：リセット信号がHiZ                               |
| 1   | HiZ | 0   | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生                       |
| 1   | HiZ | 1   | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生                       |
| 1   | HiZ | HiZ | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生/ワーニング：リセット信号がHiZ      |
| HiZ | 0   | 0   | エラー     | エラー    | エラー：クロック・インバータのゲート浮きによる貫通電流発生                  |
| HiZ | 0   | 1   | エラー     | エラー    | エラー：クロック・インバータのゲート浮きによる貫通電流発生                  |
| HiZ | 0   | HiZ | エラー     | エラー    | エラー：クロック・インバータのゲート浮きによる貫通電流発生/ワーニング：リセット信号がHiZ |
| HiZ | 1   | 0   | エラー     | 正常     |  |
| HiZ | 1   | 1   | エラー     | 正常     |  |
| HiZ | 1   | HiZ | エラー     | エラー    | ワーニング：リセット信号がHiZ                               |
| HiZ | HiZ | 0   | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生                       |
| HiZ | HiZ | 1   | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生                       |
| HiZ | HiZ | HiZ | エラー     | エラー    | エラー：インバータのゲート浮きによる貫通電流発生/ワーニング：リセット信号がHiZ      |

【0065】表2において、検出内容は本実施の形態のフローティング判定部3の検出方法で出力されるエラーメッセージF35の種類を示す。入力データ信号DがHiZ、クロック信号CLKが“1”、リセット信号RESが“0”又は“1”である場合に、従来の第2の論理

回路検証方法では、この例のライブラリ回路記述においてデータ信号Dが入力されるバッファB1の出力データ信号D1で不定値Xを検出するが、本実施の形態のフローティング判定部3の検出方法における判定結果では検出されない。実回路では、貫通電流を発生しないので従

来の第2の論理回路検証方法の判定は擬似エラーである。

【0066】このように、本実施の形態は、擬似エラーを排除し、HiZ入力によるゲートフローティングでゲート電位が不安定となり中間電位のときにPチャネルトランジスタ及びNチャネルトランジスタが同時にオンすることにより生じる貫通電流の発生個所を正確に検出可能となる。

【0067】次に、本発明の第2の実施の形態を特徴付けるフローティング判定部3Aの判定方法を示す表3を参照すると、第1の実施の形態では、判定関数F34に\*

| 入力信号の種類 | 入力信号が直接接続されている回路の種類  | 判定条件                                      | 判定  |
|---------|----------------------|---|-----|
| 全ての信号   | バッファインバータ            | データ入力値=HiZ                                | エラー |
|         |                      | 上記以外                                      | 正常  |
|         | トリステートバッファクロックドインバータ | データ入力値=HiZと制御信号がONの場合                     | エラー |
|         |                      | 上記以外                                      | 正常  |
|         | 上記以外の組み合わせ回路         | データ入力値=HiZと他の信号との組み合わせでプリミティブセルの出力にX発生の場合 | エラー |
|         |                      | 上記以外                                      | 正常  |

【0070】次に、本発明の第3の実施の形態を図1と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図7を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、フローティング判定部3の代わりに第1の実施の形態の判定条件に加えて入力信号の種類と入力信号が接続されている回路の種類を用いてフローティング検出を行うフローティング判定部3Bと、このフローティング判定部3Bに必要な入力信号の種類と入力信号が接続されている回路の種類を論理検証用ライブラリF3と同一階層構造を持つSPICEネットリストF6から抽出するための回路構成抽出部5を備えていることである。

【0071】次に、図7を参照して本実施の形態の動作について第1の実施の形態との相違点を重点的に説明すると、回路構成抽出部5は論理検証用ライブラリF3と同一階層構造を持つSPICEネットリストF6からファンクションセルのセル名、入力信号名、入力信号が直接接続されている素子との接続関係からフローティング判定部3Bの判定関数F34に必要な回路の種類と判定条件を作成する。

【0072】回路構成抽出部5の処理をフローチャートで示す図8を参照してこの回路構成抽出部5の動作について説明すると、まず、SPICEネットリストF6からセルの入力端子がゲートに接続された論理素子である場合(ステップS61)、この論理素子の子の種類、ゲート名、ソース名、ドレイン名の情報を素子リストF51として作成する(ステップS62)。素子リストF51にはソース又はドレインを共有する素子数及びその素

\*より入力信号がセット／リセット信号の場合は、データ入力値がHiZならば全てワーニングと判定していたのに対し、本実施の形態ではデータ信号及び制御信号と同様に、直接入力回路の種類と判定条件とからエラーと正常とに分類することである。

【0068】これにより、本実施の形態では、全信号に対して実回路と同一の検出結果を得ることが可能となる。

【0069】

【表3】

子の情報を格納した素子リストへのポインタを格納する(ステップS63)。接続されている素子のソース又はドレインが電源VDD又は接地GNDになるまで素子リストF51を追加していく(ステップS64)。ファイルの最後まで調べたら(ステップS65)、素子リストF51からPチャネル素子、Nチャネル素子の接続関係を抽出する(ステップS66)。接続関係から回路構造に一致する判定式を論理構成の定義をした回路構成リストF51の中から選択し(ステップS67)、選択した回路構成の判定式にゲートの信号名を設定する(ステップS68)。回路構成抽出部5で信号名を設定した回路構成の判定式をフローティング判定部3Bの判定関数で使用する。素子リストF51の最後までステップS66～S69を反復する。

【0073】素子リストF51の構成の一例をテーブル形式で示す図9を参照すると、この素子リストF51は、モデル名、ゲート節点名、ソース節点名、ソース節点数、ソースに節点に接続された素子リストへのポインタ、ドレイン節点名、ドレイン節点数、ドレイン節点に接続された素子リストへのポインタから構成されている。

【0074】本実施の形態の素子リストF51の作成方法を説明図で示す図10を参照すると、SPICEネットリストF6から入力端子として定義されているIN1がゲート入力されている素子を抽出し最初の素子リストF511を作成する。上記素子のソース節点に接続されている素子の情報を素子リストF512に作成しこの素子リストF512のポインタを素子リストF512へ格

納する。

【0075】IN1がゲート接続されている素子のドレイン節点はVDDに接続されているため次の素子リストの数に“0”、次の素子リストへのポインタに“null”を格納する。ソース節点及びドレイン節点がVDD又はGNDに接続されている場合は同様に、次の素子リストの数に“0”、次の素子リストへのポインタに“null”を格納する。VDD、GNDへの節点の接続以外は、接続先の素子リストを作成しそのポインタを接続元の素子リストへ格納する。接続先の素子リストへのポインタは節点数に応じて動的に生成する。以下、上記手順で素子リストF51を構成する残りの素子リストF513～F518を作成する。

【0076】生成した素子リストから素子の接続関係を抽出し、回路構成リストF52で定義した回路構成に一致する判定式を選択する。選択した判定式にゲート信号名を与えて判定式を作成する。このように、本実施の形態では、SPICEネットリストから回路構成を抽出するため、ライブラリの変更にも早期に対応でき、適用対象が広がり早期に品質を保証できるという効果が得られる。

【0077】回路構成リストF52の一例を示す図11を参照すると、接続関係のPはPチャネルトランジスタ、NはNチャネルトランジスタ、“\*”は並列接続、“|”は直列接続を表す。

【0078】図10の実施の形態の素子リストは、“P-P-N-N”に一致するので、判定式は“IN1=HIZ&P1=0&P2=1”となる。

【0079】次に、本発明の第4の実施の形態を図3と共通の構成要素には共通の参照文字／数字を付して同様にフローチャートで示す図12を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、フローティング判定の判定関数呼出ステップS4とフローティング判定ステップS5の間に該当する判定関数の有無を判定する判定関数有無判定ステップS9と、判定関数がない場合に検証対象外であることを警告する検証対象外警告ステップS11とを有し、フローティング判定部の判定関数とセル名の対応リストに合致しないセルが使用されている場合にそのセル名を告知することである。

【0080】次に、図12を参照して本実施の形態の動作について第1の実施の形態との相違点を重点的に説明すると、シミュレーション開始後、第1の実施の形態と同様のステップS1～S4の処理を行う。すなわち、検証時刻に到達した時（ステップS1）に入力値検出部2を呼び出し、検証対象セルのセル名を獲得し（ステップS2）、次に、検証対象セルのデータ入力値を獲得する（ステップS3）。セル名から該当するフローティング判定の判定関数と呼び出す（ステップS4）。

【0081】次に、ステップS9で、判定関数呼出ステ

ップS4で呼び出すべき判定関数の有無を判定し、該当する判定関数がない場合には、検証対象セルが判定対象外である旨の告知対象とする（ステップS10）。

【0082】次に、ステップS9で、判定関数呼出ステップS4で呼び出すべき判定関数がある場合は、ステップS5に進み、以下第1の実施の形態と同一のステップS5～S8の処理を行う。すなわち、この判定関数での判定条件と一致するならば（ステップS5）、エラー又はワーニングと判定する（ステップS6）。検証対象の全てのファンクションセルについてステップS2～S6の判定処理を実施し（ステップS7）、シミュレーション終了時刻まで検証時刻に到達する毎にステップS1～S7の処理を繰り返す（ステップS8）。

【0083】このように、検証対象外となるファンクションセルを検出することにより検証もれを防止することが可能となる。

【0084】次に、本発明の第5の実施の形態を特徴付けるフローティング判定部3Cの判定方法を示し第2の実施の形態で用いた表3を参照して説明すると、この第5の実施の形態は、第2の実施の形態と同様に、入力信号がセット／リセット信号の場合でも、データ信号及び制御信号と同様に直接入力回路の種類と判定条件からエラーと正常とに分類する。さらに第4の実施の形態と同様に検証対象外となったファンクションセルの告知を行う。

【0085】次に、本発明の第6の実施の形態を図1と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図13を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、フローティング判定部3の代わりに使用者が指定した指定信号について直接入力回路の構成と無関係にデータ入力値がHIZである場合は全てエラーと判定するフローティング判定部3Dと、上記指定信号のリストである指定信号リストF7とを備えることである。

【0086】また、本実施の形態の処理を図3と共通の構成要素には共通の参照文字／数字を付して同様にフローチャートで示す図14を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、フローティング判定の判定関数呼出ステップS4の後に指定信号リストの信号名との一致と入力信号のHIZの条件を判定するステップS11と、ステップS11の判定結果Yesの場合エラーを出力するステップS12と、ステップS11の判定結果Noの場合判定条件との一致を判定するステップS13と、ステップS13の判定結果Yesの場合エラー又はワーニングを出力するステップS14とを有することである。

【0087】次に、図13及び図14を参照して本実施の形態の動作について第1の実施の形態との相違点を重点的に説明すると、フローティング判定部3Dは、入力値検出部から出力される検証対象セルのセル名F31と

その入力値 F 3 2 の供給を受け（ステップ S 1 ～ S 3）、セル名から該当するフローティング判定の判定関数と呼び出す（ステップ S 4）。また指定信号リスト F 7 から使用者が指定した指定信号の名称である指定信号名を受け、検出対象セルの入力信号名 F 3 1 が指定信号名と一致しかつ入力信号値が H i Z であるかを判定する（ステップ S 1 1）。ステップ S 1 1 で Y e s の場合、直接入力回路の回路構成とは無関係に全てエラーと判定し（ステップ S 1 2）、N o の場合判定関数での判定条件と一致するかを判定する（ステップ S 1 3）。ステップ S 1 3 での判定結果、Y e s の場合、エラー又はワーニングと判定する。

【0088】次に、検証対象の全てのファンクションセルについてステップ S 2 ～ S 4、S 1 1 ～ S 1 4 の判定処理を実施し（ステップ S 7）、シミュレーション終了時刻まで検証時刻に到達する毎にステップ S 2 ～ S 4、S 1 1 ～ S 1 4、S 7 の処理を繰り返す（ステップ S 8）。

【0089】なお、エラーの判定（ステップ S 1 2）をワーニングの判定に換えてもよい。

【0090】次に、本発明の第 7 の実施の形態を図 3 と共通の構成要素には共通の参照文字／数字を付して同様にフローチャートで示す図 1 5 を参照すると、この図に示す本実施の形態の前述の第 1 の実施の形態との相違点は、ステップ S 2 の代わりに検証対象セル名として指定信号が入力されているファンクションセルのセル名を獲得するステップ S 1 5 と、ステップ S 5 の代わりに指定信号名と検出した信号名が一致する場合に判定関数での判定条件との一致判定ステップ S 1 6 と、ステップ S 7 の代わりに全ての指定信号について検証したかの確認ステップ S 1 7 とを有し、使用者が指定した指定信号に対してのみ、第 1 の実施の形態と同様に検出を行うことである。

【0091】次に、図 1 5 を参照して本実施の形態の動作について第 1 の実施の形態との相違点を重点的に説明すると、まず、検証時刻に到達した時（ステップ S 1）に入力値検出部 2 を呼び出し、論理検証用ライブラリから指定信号が入力されているファンクションセルである検証対象セルのセル名を獲得し（ステップ S 1 5）、次に、検証対象セルのデータ入力値を獲得する（ステップ S 3）。セル名から該当するフローティング判定の判定関数と呼び出す（ステップ S 4）。

【0092】次に、使用者が作成した指定信号リストの指定信号名と検出した信号名が一致する場合に上記判定関数での判定条件と一致するならば（ステップ S 1 6）、エラー又はワーニングと判定する（ステップ S 6）。

【0093】検証対象の全ての指定信号についてステップ S 1 5、S 3、S 4、S 1 6、S 6、S 1 7 の判定処理を実施し（ステップ S 1 7）、シミュレーション終了

時刻まで検証時刻に到達する毎にステップ S 1 S 1 5、S 3、S 4、S 1 6、S 6、S 1 7、S 8 の処理を繰り返す（ステップ S 8）。

【0094】これにより、検証対象を絞り込むことが可能となり検証時間を短縮できる。

【0095】次に、本発明の第 8 の実施の形態を図 7 と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図 1 6 を参照すると、この図に示す本実施の形態の前述の第 3 の実施の形態との相違点は、フローティング判定部 3 B の代わりに入力信号の種類と入力信号が接続されている回路の種類と使用者が指定した指定信号のみに基づき検出対象回路が H i Z 入力によるゲートフローティングで貫通電流が発生するかの判定を行い判定結果のメッセージ F 3 5 を出力するフローティング判定部 3 E と、指定信号リスト F 7 とを備えることである。

【0096】次に、図 1 6 を参照して本実施の形態の動作について説明すると、指定信号のみを入力信号とし、この入力信号がセット／リセット信号でありデータ入力値が H i Z である場合に、全て「ワーニング」と判定し、データ信号及び制御信号は直接入力回路の種類と判定条件から表 1 のようにエラーと正常とに分類する。

【0097】以上説明したように、本発明の論理回路検証方法とその装置は、次のような効果を奏する。

【0098】第 1 の効果は、H i Z 入力でのゲートフローティングによる貫通電流発生個所を実際のデバイスと同一の個所で検出でき、擬似エラーも発生しないことから貫通電流発生個所の特定も容易にであり、解析時間を短縮できることである。さらに擬似エラーが検出されないため真のエラーを見落とすことがない。その理由は、論理シミュレーション用ライブラリの記述に依存しない実際のデバイスに基づいたフローティング判定部を備えるためである。

【0099】第 2 の効果は、設計段階で貫通電流の発生個所を発見できるため、設計工程の後戻りが少なく開発製品を早期に市場へ投入できることである。その理由は、従来実際のデバイス評価で発見していた個所を論理シミュレーションで検出できるためである。

【0100】第 3 の効果は、レジスタトランスファレベルでの構文チェックを使用して H i Z 入力でゲートフローティングにより貫通電流の発生可能性のある個所を検出し修正する場合、ゲートレベルで手修正した場合には不具合が発生する可能性がある。手修正後に本発明の検証方法を実施することにより不具合の作り込みを防止し設計品質が保たれる。

【0101】

【発明の効果】以上説明したように、本発明の論理回路検証方法とその装置は、検証対象回路の論理シミュレーション用ライブラリの記述に依存しない実際のデバイスの回路図から作成した判定関数に基づき H i Z 値入力に

起因するMOSトランジスタのゲートフローティングで起こる貫通電流発生箇所を的確に検出するフローティング判定部を備えることにより、HiZ入力でゲートフローティングによる貫通電流の発生箇所を実際のデバイスと同一の個所で検出でき、擬似エラーも発生しないことから貫通電流発生箇所の特定も容易であり、解析時間を短縮できるという効果がある。

【0102】また、擬似エラーが検出されないため真のエラーを見落とすことがないという効果がある。従来、実際のデバイス評価で発見していた貫通電流の発生箇所を設計段階の論理シミュレーションで発見できるため、設計工程の後戻りが少なく開発製品を早期に市場へ投入できるという効果がある。

【0103】さらに、レジスタトランスファレベルでの構文チェックを使用してHiZ入力でゲートフローティングにより貫通電流の発生可能性のある箇所を検出し修正する場合、ゲートレベルで手修正した場合には不具合が発生する可能性があるが、手修正後に本発明の検証を実施することにより不具合の作り込みを防止し設計品質を保持できるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の論理回路検証方法を実施する論理回路検証装置を示すブロック図である。

【図2】図1のフローティング判定部の詳細な構成を示すブロック図である。

【図3】本実施の形態の論理回路検証方法の一例を示すフローチャートである。

【図4】論理検証用ライブラリの回路記述の構造の一例及び対応する実際のデバイスの回路構造の一例をそれぞれ示す回路図である。

【図5】判定関数とセル名の対応リストの一例をテーブル形式で示す説明図である。

【図6】リセット付フリップフロップの判定関数による判定方法を示すフローチャートである。

【図7】本発明の第3の実施の形態の論理回路検証方法を実施する論理回路検証装置を示すブロック図である。

【図8】図7の回路構成抽出部の処理を示すフローチャートである。

【図9】素子リストの構成の一例をテーブル形式で示す図である。

【図10】本実施の形態の素子リストの作成方法を示す説明図である。

【図11】回路構成リストの一例を示す説明図である。

【図12】本発明の第4の実施の形態の論理回路検証方法を示すフローチャートである。

【図13】本発明の第6の実施の形態の論理回路検証方法を実施する論理回路検証装置を示すブロック図である。

【図14】本実施の形態の論理回路検証方法を示すフローチャートである。

【図15】本発明の第7の実施の形態の論理回路検証方法を示すフローチャートである。

【図16】本発明の第8の実施の形態の論理回路検証方法を実施する論理回路検証装置を示すブロック図である。

【図17】従来の第1の論理回路検証装置の一例を示すブロック図である。

【図18】従来の第2の論理回路検証装置の一例を示すブロック図である。

【図19】論理シミュレーション用ライブラリの第1及び第2の例としてそれぞれトライステートバッファの論理記述を模式的に示した回路図である。

#### 【符号の説明】

1, 101 シミュレータ

2 入力値検出部

3, 3A, 3B, 3C, 3D, 3E フローティング判定部

4 出力処理部

5 回路構成抽出部

31 判定関数選択部

32 判定部

102 出力検出部

103 出力処理部

201 論理回路図作成装置

202 ネットリスト入力部

203 ライブラリ入力部

204 検証部

205 エラー／ワーニング出力部

206 検証ルール記憶領域

B1, B2 バッファ

F1, F101 テストデータ

F2, F102 論理回路データ

F5 判定結果

F6 SPICE ネットリスト

F7 指定信号リスト

F51 素子リスト

F4, F103 シミュレーション結果

40 F31 セル名

F32 入力値

F33 対応リスト

F34 判定関数

F35 メッセージ

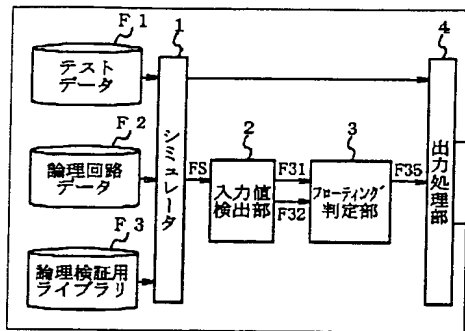
FF1 フリップフロップ

G1~G3 インバータ

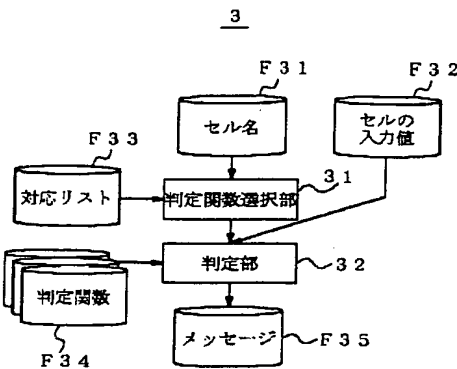
G4 論理回路



【図1】



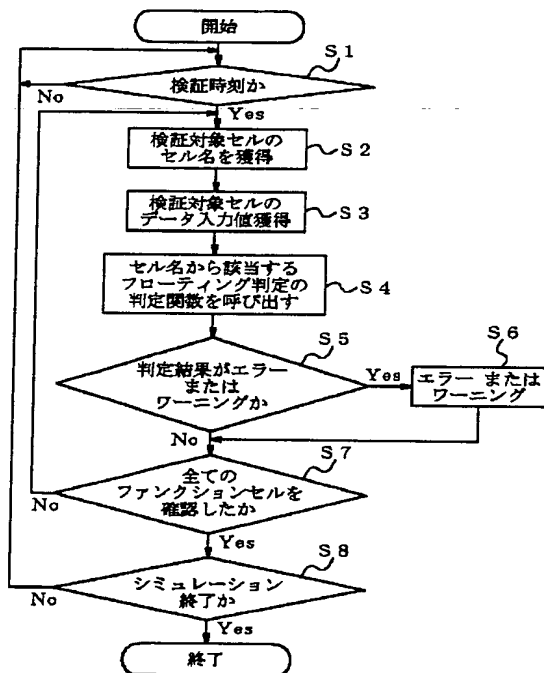
【図2】



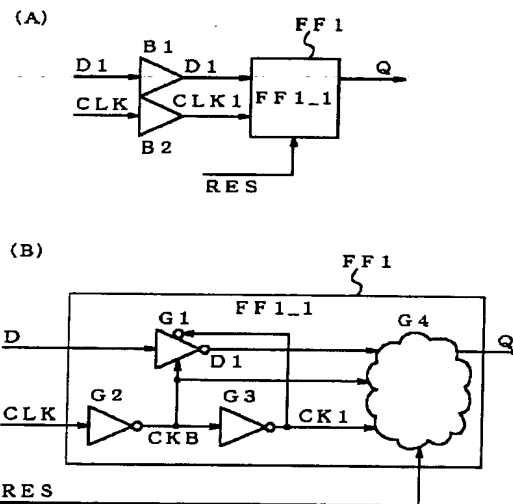
【図9】

|               |
|---------------|
| モデル名          |
| ゲート節点名        |
| ソース節点数        |
| ソース節点数        |
| 次の素子リストへのポインタ |
| :             |
| ドレイン節点名       |
| ドレイン節点数       |
| 次の素子リストへのポインタ |
| :             |

【図3】



【図4】



【図5】

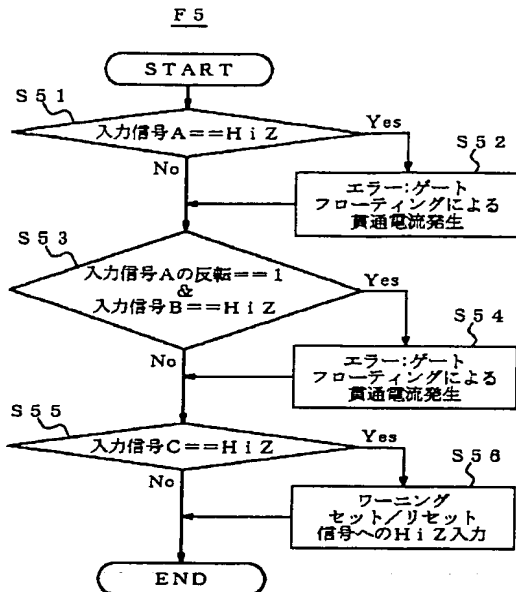
F33

|       |              |
|-------|--------------|
| 判定関数  | : check_inv  |
| 入力信号数 | : 1          |
| セル名1  | : INV1_1     |
| セル名2  | : INV1_2     |
| 判定関数  | : check_nand |
| 入力信号数 | : 2          |
| セル名1  | : NAND2_01   |
| セル名2  | : NAND2_02   |
| 判定関数  | : check_ff   |
| 入力信号数 | : 3          |
| セル名1  | : FF1_1      |
| セル名2  | : FF1_2      |
| セル名3  | : FF1_3      |
| セル名4  | : FF1_4      |

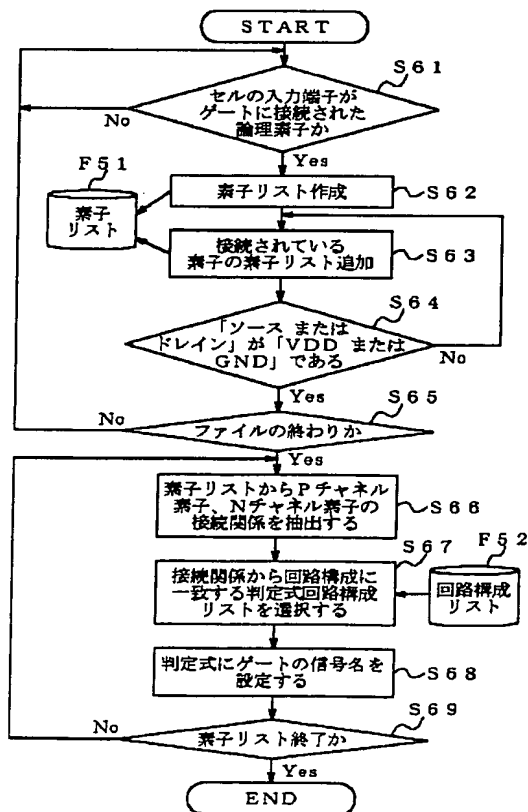
【図11】

| 接続関係    | 判定式                                 |
|---------|-------------------------------------|
| P-N     | $G = H \cdot Z \& G = 1$            |
| P-P-N-N | $G = H \cdot Z \& P1 = 0 \& P2 = 1$ |
| P-P-N*N | $G1 = H \cdot Z \& G2 = 0$          |
| P*P-N-N | $G1 = H \cdot Z \& G2 = 1$          |
| ...     | ...                                 |

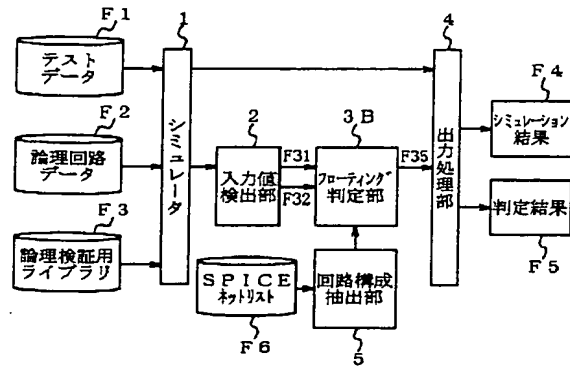
【図 6】



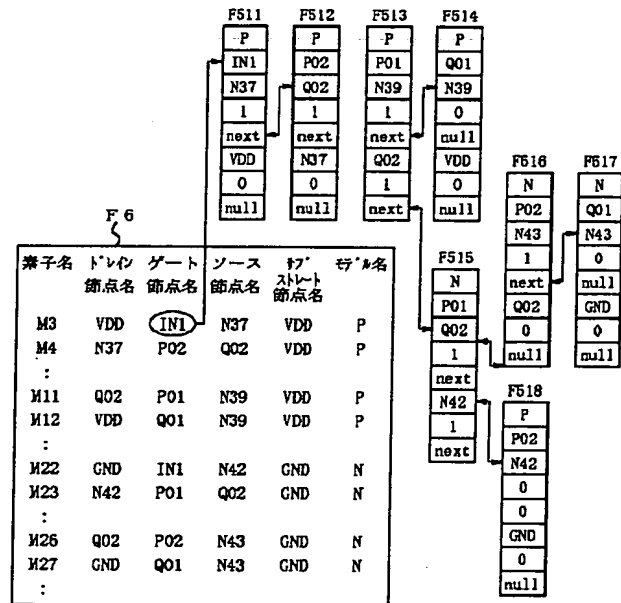
【図 8】



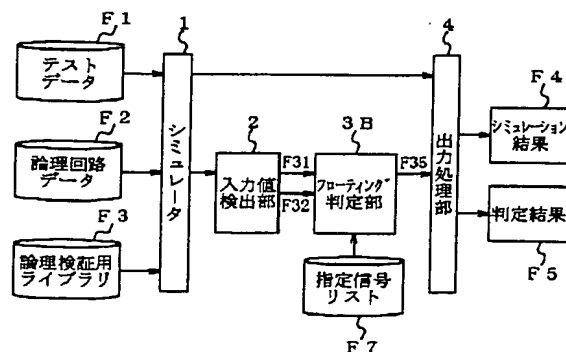
【図 7】



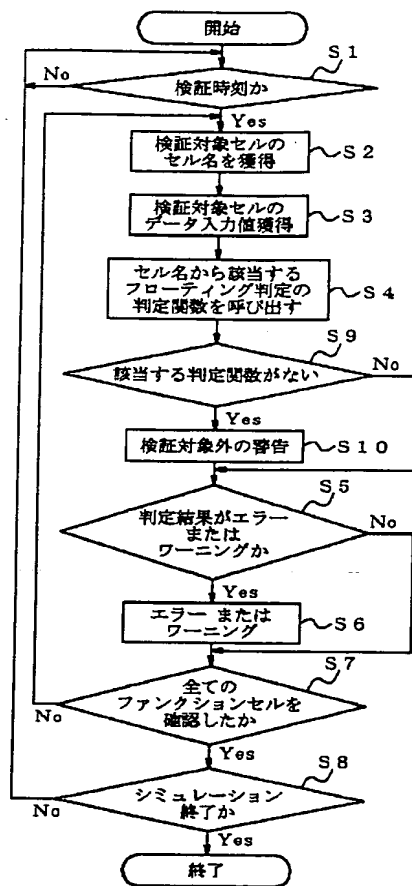
【図 10】



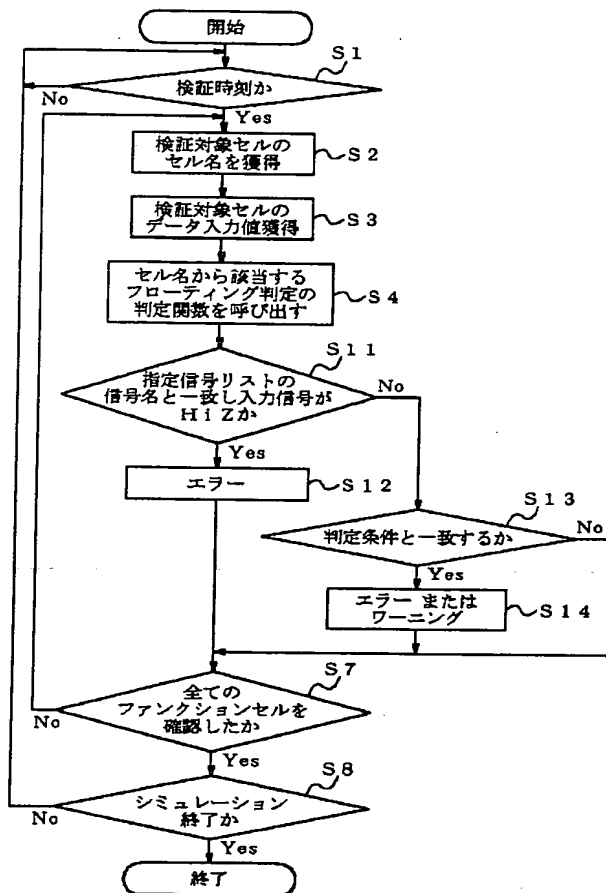
【図 13】



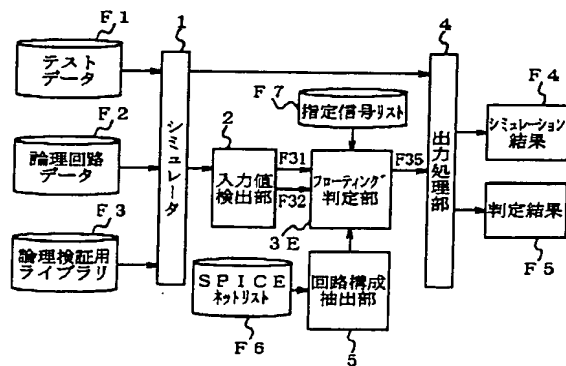
【図12】



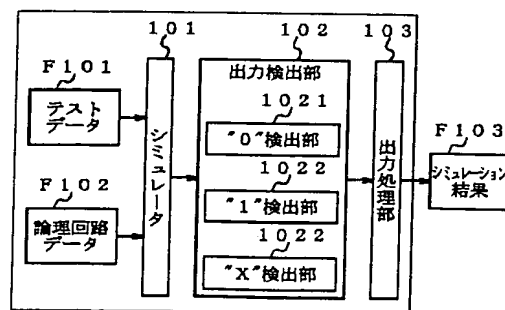
【図14】



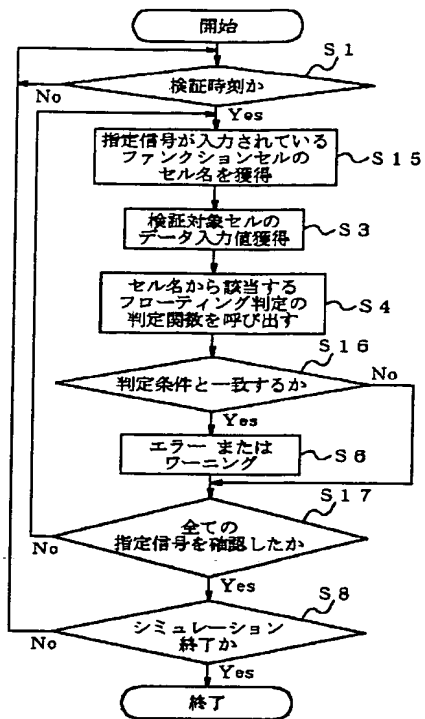
【図16】



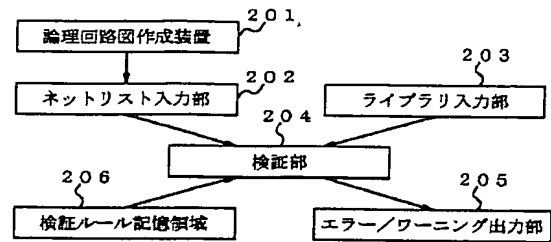
【図17】



【図15】

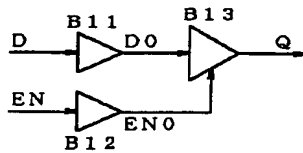


【図18】



【図19】

(A)



(B)

